

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(11) 2-35779 (A) (43) 6.2.1990 (19) JP

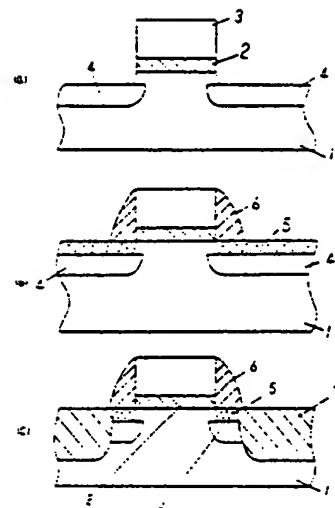
(21) Appl. No. 63-185943 (22) 26.7.1988

(71) MATSUSHITA ELECTRIC IND CO LTD (72) TOMOYUKI MORII

(51) Int. Cl. H01L29/784

**PURPOSE:** To prevent injection of hot carriers into a side wall film by providing an insulating layer between a low concentration region of a diffused layer and the surface of a semiconductor substrate.

**CONSTITUTION:** A polysilicon gate 3 is formed on a P-type semiconductor substrate 1 through a gate oxide film 2 and, by using the polysilicon gate 3 as a mask, the semiconductor substrate 1 is etched off shallowly. An N<sup>-</sup>-type diffused layer 4 is formed by ion implantation. Then, an insulating layer 5 is provided on the etched part of the semiconductor substrate 1 and, further, a side wall film 6 is formed. By using the side wall film 6 as a mask, ion implantation is performed to provide an N<sup>-</sup>-type diffused layer 7 so that a gap is defined between the N<sup>-</sup>-type diffused layer 4 and the surface of the semiconductor substrate 1. In this manner, injections of hot carriers into the side wall film can be suppressed and acceleration of hot carrier deterioration can be prevented in the fine semiconductor device.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-35779

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)2月6日

H 01 L 29/784

8422-5F  
8422-5F

H 01 L 29/78

3 0 1 X  
J

審査請求 未請求 請求項の数 5 (全3頁)

⑮ 発明の名称 半導体装置およびその製造方法

⑯ 特 願 昭63-185943

⑰ 出 願 昭63(1988)7月26日

⑱ 発 明 者 森 井 知 行 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地  
⑳ 代 理 人 弁理士 栗野 重孝 外1名

明 細 書

1. 発明の名称

半導体装置およびその製造方法

2. 特許請求の範囲

(1) LDD (Lightly Doped Drain) 構造電界効果トランジスタにおいて、低濃度拡散層領域と半導体基板表面とのすき間を設けることを特徴とする半導体装置。

(2) MOS型電界効果トランジスタの一部に磁性体を設け、この磁性体により電流の向きを制御することを特徴とする半導体装置。

(3) ゲート電極下を磁力線が通るように基板溝を設け、エレクトロンをフローティングゲートにトラップさせて記憶素子とすることを特徴とする特許請求の範囲第2項に記載の半導体装置。

(4) ゲート電極をマスクとして半導体基板を浅くエッチングした後、低濃度拡散層領域を形成することを特徴とする半導体装置の製造方法。

(5) エッチング部に絶縁層を設け、基板表面を平坦化した後、サイドウォール膜を形成し、サイド

ウォール膜をマスクとして高濃度拡散層領域を形成することを特徴とする特許請求の範囲第4項に記載の半導体装置の製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は、LDD (Lightly Doped Drain) 構造電界効果トランジスタにおいて、低濃度拡散層領域と基板表面との間にすき間を設け、サイドウォール膜へのホットキャリアの注入を抑制すること、あるいはMOS型電界効果トランジスタの一部に磁性体を設けることによりホットキャリアの注入を抑制することに関するものである。

従来の技術

従来、低濃度拡散層領域の下部に高濃度拡散層領域を設け、ホットキャリア効果を抑制する構造例があるが、磁性体を利用したホットキャリア効果の抑制の例はない。

発明が解決しようとする課題

通常のLDD構造電界効果トランジスタは低濃度拡散層領域からサイドウォール膜へのエレクト

ロントラップが多く、そのため低濃度拡散層領域の抵抗が高くなり、電流駆動能力が低下しやすい。

微細構造の半導体デバイスにおいては、低濃度拡散層領域の成分がよりデバイス特性を左右しやすくなる。

本発明は以上のような従来の半導体装置の諸欠点に鑑みてなされたもので、よりホットキャリア等による劣化の少ない、高信頼性の半導体装置を提供することを目的としている。

課題を解決するための手段

本発明は低濃度拡散層領域と半導体基板表面との間にすき間を設けたことを特徴とする半導体装置である。

作 用

低濃度拡散層領域と半導体基板表面との間に絶縁層を設けることにより、サイドウォール膜へのホットキャリア注入を防止できる。

実 施 例

第1図(a)は、p型導電型半導体基板上にゲート

酸化膜2を介して設けられたポリシリコンゲート3をマスクとして半導体基板1を浅くエッチングし、イオン注入によりn<sup>-</sup>型拡散層4を形成したものである。

第1図(b)は、半導体基板1のエッチングされた部分に絶縁層5を設け、更にサイドウォール膜を形成したものである。

第1図(c)はサイドウォール膜6をマスクとしてイオン注入によりn<sup>+</sup>型拡散層7を形成し、最終的にn<sup>-</sup>拡散層4と半導体基板1表面とにすき間を形成したものである。

第2図は、ポリシリコンゲート3の両側にシリコン溝を掘ることにより、上記と同様にプロセスでn<sup>-</sup>拡散層4と半導体基板1表面とにすき間を形成したものである。

第3図は、ドレイン端部にシリコン溝を掘り、磁性体10を埋め込み、その上に絶縁層11を設けたものであり、これによりゲート酸化膜2の直下を走るエレクトロンを基板内部にひっぱり込むことにより(同図(b))、このゲート酸化膜2への

ホットキャリアの注入等によるトラップを抑制するものである。

第3図(c)はこの平面図である。

又、第3図(c)において磁性体10をポリシリコンゲート3のゲート長方向の中央付近bあるいはaからc全域にわたって埋め込むことによりフローティングゲート構造を用いた記憶素子として用いることも可能である(但しこの場合は磁界の向きは逆にする必要がある)。

発明の効果

本発明は以上のような構成からなるものであり、半導体基板のエッチングと絶縁層を利用して低濃度拡散層と半導体基板表面との間にすき間を作り、サイドウォール膜へのホットキャリア注入を抑制することから微細半導体デバイスのホットキャリア劣化の促進を防ぐものである。

又、磁性体を基板内部に埋め込むことにより、ホットキャリアを基板内部にひっぱり込み、ホットキャリア劣化の促進を防ぐものである。逆に、酸化膜の方に故意にエレクトロンを注入すること

により、記憶素子として利用するものである。

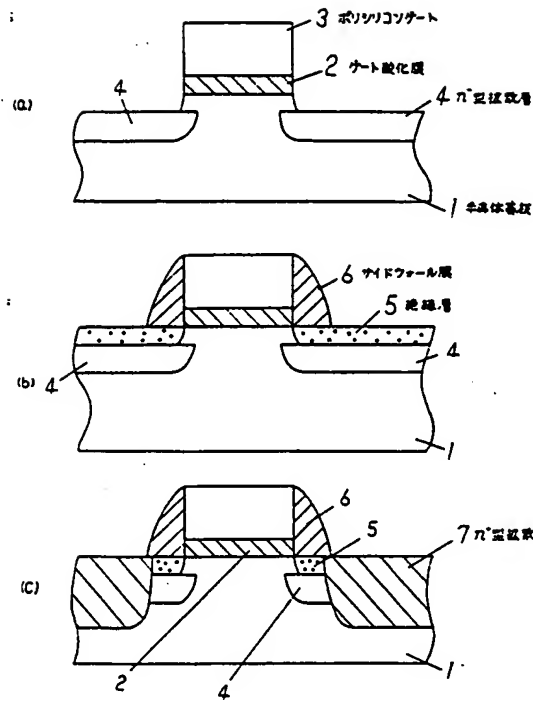
4、図面の簡単な説明

第1図は本発明の一実施例における半導体装置の製造工程断面図、第2図は他の実施例における製造工程断面図、第3(a)、(b)、および(c)図は他の実施例における断面構造図、動作概念説明図および上面図である。

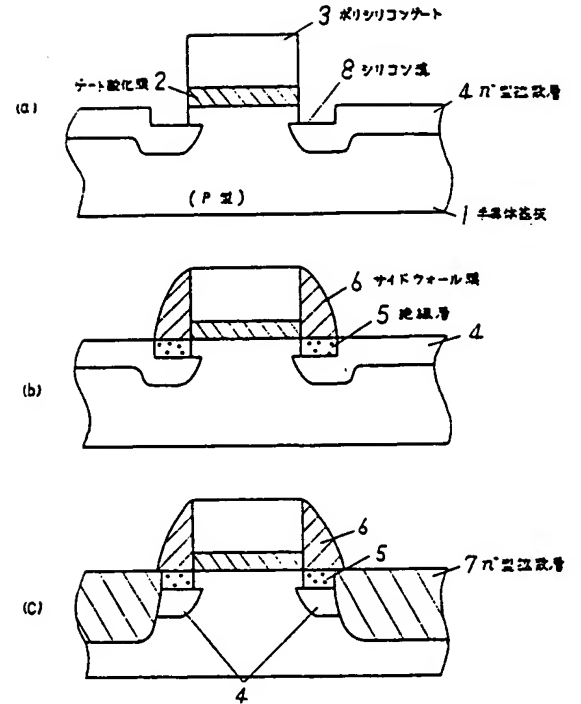
1……p型導電型半導体基板、2……ゲート酸化膜、3……ポリシリコンゲート、4……n<sup>-</sup>型拡散層、5……絶縁層、6……サイドウォール膜、7……n<sup>+</sup>型拡散層。

代理人の氏名 弁理士 栗野重孝 ほか1名

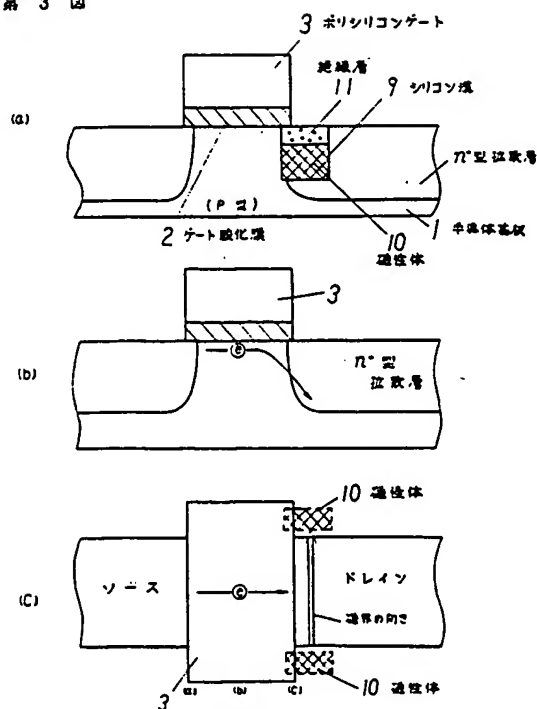
第 1 図



第 2 図



第 3 図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**